

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Akio ITOH ✓

Serial No.: 09/594,091 ✓

Filed: June 15, 2000 ✓



Group Art Unit: 2815 ✓

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME ✓

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents  
Washington, D. C. 20231

Date: September 25, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-170667, Filed June 17, 1999 ✓

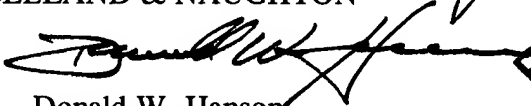
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,  
McLELAND & NAUGHTON

  
Donald W. Hanson  
Attorney for Applicant(s)  
Reg. No. 27,133

Atty. Docket No. 000761  
1725 K Street, N.W., Suite 1000  
Washington, DC 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
DWH/llf

RECEIVED  
SEP 27 2000  
TECHNOLOGY CENTER 2800

2815

#3  
10-12-00  
priority papers

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 1 9 9 9 年 6 月 1 7 日

出 願 番 号  
Application Number: 平成 1 1 年 特 許 願 第 1 7 0 6 6 7 号

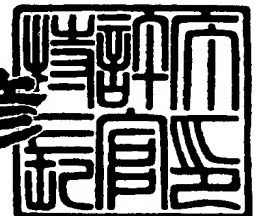
出 願 人  
Applicant (s): 富士通株式会社

RECEIVED  
SEP 27 2000  
TECHNOLOGY CENTER 2800

2 0 0 0 年 6 月 9 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 4 3 0 0 2

【書類名】 特許願

【整理番号】 9901660

【提出日】 平成11年 6月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置の製造方法

【請求項の数】 4

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 伊藤 昭男

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100091672

    【住所又は居所】 東京都中央区日本橋人形町3丁目11番7号  
山西ビル4階

    【弁理士】

    【氏名又は名称】 岡本 啓三

    【電話番号】 03-3663-2663

【手数料の表示】

    【予納台帳番号】 013701

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方に、強誘電体材料又は高誘電体材料からなる誘電体膜を備えたキャパシタを形成するキャパシタ形成工程と、  
前記キャパシタの上方に第 1 の絶縁膜を形成する第 1 の絶縁膜形成工程と、  
前記第 1 の絶縁膜を化学的機械研磨して表面を平坦化する平坦化工程と、  
前記第 1 の絶縁膜に対してプラズマアニールによる脱水処理を施す脱水処理工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記脱水処理工程の後に、前記第 1 の絶縁膜の上に第 2 の絶縁膜を形成する工程を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記平坦化工程と前記脱水処理工程との間に、前記第 1 の絶縁膜の上に第 2 の絶縁膜を形成する第 2 の絶縁膜形成工程を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記脱水処理は、 $N_2$  O ガスを用いたプラズマアニールにより行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、キャパシタの誘電体膜に強誘電体材料を用いた不揮発性半導体メモリ (F e R A M : Ferroelectric Random Access Memory)、又はキャパシタの誘電体膜に高誘電体材料を用いた揮発性半導体メモリ (D R A M : Dynamic Random Access Memory) を有する半導体装置の製造方法に関する。

【0 0 0 2】

【従来技術】

近年、低消費電力の不揮発性半導体メモリとしてキャパシタの誘電体膜に強誘電体材料を用いた F e R A M が注目されている。また、近年、半導体メモリの微

細化及び高集積化が要求されており、その要求にこたえるべくキャパシタの誘電体膜に高誘電体材料を用いたDRAMが開発されている。これらのFeRAM及びDRAMでは、強誘電体材料又は高誘電体材料として、通常金属酸化物が使用されている。

## 【0003】

ところで、強誘電体材料及び高誘電体材料は還元性雰囲気になく、分極特性が劣化しやすいという性質がある。強誘電体材料の分極特性の劣化を防止する方法として、特開平9-307074号には、キャパシタを形成した後、その上を水分をほとんど含まず、吸湿性の少ない酸化シリコン膜で覆うことが記載されている。また、特開平10-275897号には、メタルCVD (Chemical Vapor Deposition) 装置やMO (Metal Organic) CVD装置を用いた還元性雰囲気中での配線用導電膜の堆積工程を避けることで、キャパシタの分極特性の劣化を防止することが記載されている。

## 【0004】

## 【発明が解決しようとする課題】

近年、半導体装置の微細化に伴い、ロジックデバイスやメモリデバイスの多層配線形成時に化学的機械研磨 (Chemical Mechanical Polishing : 以下、CMP研磨という) による平坦化技術が使用されるようになった。

しかし、強誘電体材料を使用するFeRAMや高誘電体材料を使用するDRAMの製造にCMP研磨を用いると、強誘電体材料の強誘電性が失われたり、高誘電体材料の絶縁性が劣化する、いわゆる工程劣化が発生する。これは、CMP研磨時やその後の洗浄時に層間絶縁膜がスラリー中の水分を吸収し、又は層間絶縁膜の表面に水分が付着し、これらの水分のために後工程でキャパシタ誘電体膜が高温に加熱されると、キャパシタ誘電体膜を構成する強誘電体材料又は高誘電体材料が還元されてしまうためであると考えられる。

## 【0005】

CMP研磨工程では、層間絶縁膜中に必然的に水分が侵入してしまうため、例えば特開平9-307074号に記載されているように、キャパシタを保護膜で覆うだけでは十分でなく、層間絶縁膜中の水分を除去する必要がある。

なお、特開平 10-189578 号及び特開平 8-130199 号には、半導体装置の多層配線形成工程において、層間絶縁膜中の水分を熱処理により除去することが記載されている。しかし、熱処理だけでは CMP 研磨により層間絶縁膜中に侵入した水分を十分に除去することができず、キャパシタ誘電体膜を構成する強誘電体材料又は高誘電体材料の還元を十分に防止できるものではない。

【0006】

以上から、本発明は、強誘電体材料又は高誘電体材料を用いた半導体装置の製造に CMP 研磨工程を使用しても強誘電体材料又は高誘電体材料の還元を回避でき、FeRAM 及び DRAM 又はこれらのメモリ素子とロジック素子とを混載したシステム LSI の製造に適用できる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に、強誘電体材料又は高誘電体材料からなる誘電体膜を備えたキャパシタを形成するキャパシタ形成工程と、前記キャパシタの上方に第 1 の絶縁膜を形成する第 1 の絶縁膜形成工程と、前記第 1 の絶縁膜を化学的機械研磨して表面を平坦化する平坦化工程と、前記第 1 の絶縁膜に対してプラズマアニールによる脱水処理を施す脱水処理工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0008】

以下、本発明の作用について説明する。

本発明においては、誘電体膜に強誘電体材料又は高誘電体材料を用いたキャパシタを形成した後、その上方に第 1 の絶縁膜（層間絶縁膜）を形成し、この第 1 の絶縁膜を CMP 研磨して平坦化する。CMP 研磨工程では、研磨剤中の水分や洗浄液中の水分が絶縁膜の表面に付着するだけでなく、絶縁膜中にも水分が侵入する。この絶縁膜の表面に付着した水分及び絶縁膜中に侵入した水分を除去するために、本発明においては、例えば  $N_2$ 、 $O$  ガスを用いたプラズマアニールによる脱水処理を施す。プラズマアニールでは、熱処理に比べて絶縁膜中の水分をより確実に除去することができる。これにより、絶縁膜の表面又は絶縁膜中の水分に

起因する強誘電体材料又は高誘電体材料の還元が防止され、良好な特性の F e R A M 又は D R A M を製造することができる。

#### 【0009】

F e R A M の製造に用いられる強誘電体材料としては、 $SrBi_2(Ta_xNb_{1-x})_2O_9$  (但し、 $0 < x < 1$ ) 又は  $Pb(ZrTi)O_3$  (以下、「PZT」という) などがある。また、D R A M に用いられる高誘電体材料としては、 $(BaSr)TiO_3$  などがある。

CMP で平坦化を行う場合、第 1 の絶縁膜中に存在する空洞 (ス、ボイド又はキーホール) が表面に露出してしまうことがある。この上に配線層を形成した場合、配線ショートが生じる可能性がある。このため、第 1 の絶縁膜の上に第 2 の絶縁膜を形成し、第 1 の絶縁膜の表面に露出したス (ボイド又はキーホール) を第 2 の絶縁膜で埋めることが好ましい。上記の効果を確実に得るためには、第 2 の絶縁膜の厚さを 100nm 以上とすることが好ましい。

#### 【0010】

また、第 1 の絶縁膜の上に第 2 の絶縁膜を形成し、その後プラズマアニールを施してもよい。この場合、第 1 の絶縁膜の絶縁特性の劣化を回避できるとともに、第 1 の絶縁膜及び第 2 の絶縁膜中の水分を同時に除去することができる。

前記第 1 の絶縁膜としては、プラズマ CVD 法により形成した T E O S (Tetra-Ethyl-Ortho-Silicate) 膜、プラズマ CVD 法により形成した S i O N 膜、熱 CVD で  $O_3$  と T E O S とを用いて形成した T E O S 膜 ( $O_3$ -T E O S 膜) 及びプラズマ CVD 法により形成した S i O<sub>2</sub> 膜などを使用することができる。

#### 【0011】

また、前記第 2 の絶縁膜としては、プラズマ CVD 法により形成した T E O S 膜、熱 CVD で  $O_3$  と T E O S とを用いて形成した T E O S 膜 ( $O_3$ -T E O S 膜)、プラズマ CVD 法により形成した S i O<sub>2</sub> 膜、ノンバイアスの HDP (High Density Plasma)-CVD 法により形成した S i O<sub>2</sub> 膜、プラズマ CVD 法により形成した S i O N 膜及びプラズマ CVD 法により形成した S i N 膜などを使用することができる。但し、S i O N 膜及び S i N 膜は水分の透過性が低いので、これらの膜を第 2 の絶縁膜として使用する場合は、第 1 の絶縁膜に脱水処理



を施した後に、第2の絶縁膜を形成することが必要である。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

図1～図12は本発明の実施の形態の半導体装置の製造方法を工程順に示す断面図である。なお、本実施の形態は、本発明を不揮発性メモリ（FeRAM）の製造方法に適用した例を示すが、後述するようにキャパシタ誘電体膜を高誘電体材料で形成することにより、揮発性メモリ（DRAM）を製造することも可能である。

【0013】

まず、図1に示すように、p型シリコン半導体基板10の表面にLOCOS（Local Oxidation of Silicon）法により素子分離膜11を選択的に形成する。その後、半導体基板10の素子形成領域にp型不純物及びn型不純物を選択的に導入して、pウェル領域12a及びnウェル領域12bを形成する。その後、素子形成領域の半導体基板10の表面を熱酸化させて、ゲート絶縁膜（図示せず）を形成する。

【0014】

次に、基板10の上側全面にアモルファスシリコン膜（又は、ポリシリコン膜）及びタングステンシリサイド膜を順次形成し、これらのアモルファスシリコン膜（又は、ポリシリコン膜）及びタングステンシリサイド膜をフォトリソグラフィ法により所定のパターンにパターニングして、ゲート電極13及び配線14を形成する。そして、pウェル領域12a内のゲート電極13の両側部分にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース・ドレインとなるn型不純物領域15aを形成する。また、nウェル領域12b内のゲート電極13の両側部分にp型不純物をイオン注入して、pチャネルMOSトランジスタのソース・ドレインとなるp型不純物領域15bを形成する。その後、全面にSiO<sub>2</sub>からなる絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極13及び配線14の両側部分にのみ残すことにより、側壁絶縁膜16を形成する。

## 【0015】

次に、プラズマCVD法により、全面にSiONを約200nmの厚さに堆積させて、SiONからなるカバー膜（図示せず）を形成する。その後、プラズマCVD法により、カバー膜の上にTEOSを約1.0μmの厚さに堆積させて層間絶縁膜17を形成する。その後、緻密化処理として、窒素雰囲気中で700℃の温度で30分間熱処理する。次いで、層間絶縁膜17をCMP研磨し、層間絶縁膜17の表面を平坦化する。

## 【0016】

次に、図2に示すように、層間絶縁膜17に、不純物領域15a, 15bに到達するコンタクト孔と、配線14に到達するコンタクト孔とを選択的に形成する。その後、全面に、バリアメタルとなるTi（チタン）薄膜及びTiN（チタンナイトライド）薄膜を形成する。そして、CVD法により層間絶縁膜17の上側全面にタングステン（W）を堆積させて、コンタクト孔にタングステンを埋め込む。その後、層間絶縁膜17が露出するまでタングステン膜、TiN薄膜及びTi薄膜をCMP研磨する。このCMP研磨後にコンタクト孔内に残存するタングステンが、不純物領域15a, 15b又は配線14と後述する上層配線22とを電氣的に接続するためのプラグ18となる。なお、コンタクト孔を形成した後、コンタクト補償のために不純物領域15a, 15bにイオン注入してもよい。

## 【0017】

次に、図3に示すように、タングステンプラグ18の酸化防止のために、プラズマCVD法により上側全面にSiON膜21を100nmの厚さに形成し、更に、プラズマCVD法により、SiON膜21の上にTEOS膜22を150nmの厚さに形成する。その後、TEOS膜22及びSiON膜21の緻密化のために、温度が650℃の窒素雰囲気中で30分間熱処理する。

## 【0018】

次に、図4に示すように、DC（Direct Current）スパッタ法により、TEOS膜22の上に、Ti及びPt（白金）を順次堆積させて、キャパシタの下部電極となる導電膜23aを形成する。この場合、Ti膜の厚さは10～30nm程度、Pt膜の厚さは100～300nm程度とする。この例では、Ti膜の厚さ

が 20 nm、Pt 膜の厚さが 175 nm であるとする。

#### 【0019】

その後、RF (Radio frequency) スパッタ法により、導電膜 23 a の上に強誘電体材料である PZT を 100 ~ 300 nm の厚さに堆積させて、PZT 膜 24 a を形成する。この例では、PZT 膜 24 a の厚さが 240 nm であるとする。その後、PZT の結晶化アニールとして、酸素雰囲気中で 650 ~ 850 °C の温度で 30 ~ 120 秒間の RTA (Rapid Thermal Annealing) を行う。この例では、750 °C の温度で 60 秒間アニールするものとする。

#### 【0020】

なお、強誘電体膜の形成方法としては、上記のスパッタ法の他に、スピンオン法、ゾルーゲル法、MOD (Metal Organic Deposition) 法又は MOCVD 法がある。また、強誘電体材料としては、上記の PZT の他に  $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$  (但し、 $0 < x < 1$ ) などがある。更に、揮発性メモリ (DRAM) を形成する場合は、上記の強誘電体材料に代えて  $(\text{BaSr})\text{TiO}_3$  などの高誘電体材料を使用すればよい。

#### 【0021】

その後、DC スパッタ法により、PZT 膜 24 a の上に、Pt を 100 ~ 300 nm の厚さに堆積させて、上部電極となる導電膜 25 a を形成する。この例では、導電膜 25 a の厚さが 200 nm であるとする。

次に、図 5 に示すように、フォトリソグラフィ法により、導電膜 25 a、PZT 膜 24 a 及び導電膜 23 a を順次エッチングして、所定のパターンの上部電極 25、誘電体膜 24 及び下部電極 23 を形成する。これらの上部電極 25、誘電体膜 24 及び下部電極 23 によりキャパシタが構成される。この場合、導電膜 25 a をエッチングして上部電極 25 を形成した後、キャパシタのダメージ除去のために、回復アニールを施す。具体的には、酸素雰囲気中で 600 ~ 700 °C の温度で 30 ~ 120 分間加熱する。この例では、650 °C の温度で 60 分間加熱する回復アニールを実施するものとする。また、導電膜 23 a をエッチングして下部電極 23 を形成した後にも、上記と同じ条件で回復アニールを実施する。

#### 【0022】

このようにしてキャパシタを形成した後、図6に示すように、全面にTEOS膜及びSOG (Spin-On-Glass) 膜の2層構造を有する層間絶縁膜26を形成し、この層間絶縁膜26でキャパシタを覆う。TEOS膜は、プラズマCVD法により、温度が390℃、パワーが400Wの条件で基板10の上側全面にTEOSを100～300nmの厚さに堆積させて形成する。また、SOG膜は、TEOS膜の上にSOGを80～200nmの厚さに塗布することにより形成する。この例では、TEOS膜の厚さが200nm、SOG膜の厚さが100nmであるとする。

#### 【0023】

そして、フォトリソグラフィ法により、層間絶縁膜26の上部電極25上の部分にコンタクト孔を形成する。その後、誘電体膜21に対して回復アニールを実施する。具体的には、酸素雰囲気中で500～650℃の温度で30～120分間加熱する。この例では、550℃の温度で60分間加熱するものとする。

次に、層間絶縁膜26、TEOS膜22及びSiON膜21にコンタクト孔を形成して、タングステンプラグ18を選択的に露出させる。そして、スパッタ法により全面にTiN膜を100nmの厚さに形成し、このTiN膜をパターンニングすることにより、上部電極25と所定のタングステンプラグ18とを電氣的に接続する局所配線（ローカル配線）27を形成する。

#### 【0024】

次に、図7に示すように、プラズマCVD法により、全面にTEOSを200～400nm（ここでは、300nmとする）の厚さに堆積させて、層間絶縁膜31を形成した後、層間絶縁膜31の表面から所定のタングステンプラグ18に到達するコンタクト孔を形成する。そして、層間絶縁膜31の上にTi、TiN、Al（アルミニウム）及びTiNを順次積層し、これらの膜をパターンニングして配線32を形成する。この場合、例えば最下層のTi膜の厚さを20nm、その上のTiN膜の厚さを50nm、Al膜の厚さを500nm、TiN膜の厚さを100nmとする。

#### 【0025】

次に、図8に示すように、プラズマCVD法により全面にTEOSを2μmの

厚さに堆積させて、層間絶縁膜 33 (第 1 の絶縁膜) を形成する。このときの成膜条件は、温度が 390℃、プラズマに印加するパワーが 400W である。なお、層間絶縁膜 33 としては、上記のプラズマ TEOS 膜の他に、プラズマ CVD 法により形成した SiON (P-SiON) 膜、熱 CVD 法で O<sub>3</sub> と TEOS とを用いて形成した TEOS (O<sub>3</sub>-TEOS) 膜、プラズマ CVD 法により形成した SiO<sub>2</sub> (P-SiO<sub>2</sub>) 膜などで形成してもよい。

## 【0026】

次に、図 9 に示すように、層間絶縁膜 33 を約 1.0 μm の厚さ分だけ CMP 研磨して、層間絶縁膜 33 の表面を平坦化する。

その後、層間絶縁膜 33 に対してプラズマアニールによる脱水処理を施す。すなわち、層間絶縁膜 33 を平坦化した後の基板 10 をプラズマ発生装置内に載置し、装置内に N<sub>2</sub> O ガスを 700 sccm、N<sub>2</sub> ガスを 200 sccm の流量で供給し、これらのガスをプラズマ化して、温度が 350℃ の条件で 3 分間以上 (好ましくは 4 分以上)、層間絶縁膜 33 をプラズマに曝す。

## 【0027】

次に、図 10 に示すように、層間絶縁膜 33 の上に、再堆積層間絶縁膜 34 (第 2 の絶縁膜) として、プラズマ TEOS 膜を 100 nm 以上の厚さに形成する。ここでは、再堆積層間絶縁膜 34 の厚さが 200 nm であるとする。

上記のプラズマアニールにより層間絶縁膜 33 中に含まれる水分及び表面に付着している水分を十分除去することができる。CMP で平坦化を行うことで、層間絶縁膜 33 中に存在する空洞 (ス、ボイド又はキーホール) が表面に露出してしまうことがある。その上部に配線層を形成した場合、配線ショートが生じる可能性があるため、再堆積層間絶縁膜 34 を形成することが好ましい。また、再堆積層間絶縁膜 34 がキャップ層として作用し、層間絶縁膜 33 の再吸湿が防止されるという効果もある。

## 【0028】

なお、再堆積層間絶縁膜 34 としては、上述したプラズマ CVD 法により形成した TEOS 膜に代えて、プラズマ CVD 法により形成した SiON (P-SiON) 膜、熱 CVD 法で O<sub>3</sub> と TEOS とを用いて形成した TEOS (O<sub>3</sub>-T

EOS) 膜、プラズマCVD法により形成した $\text{SiO}_2$  (P- $\text{SiO}_2$ ) 膜、ノンバイアスのHDP (High Density Plasma) -CVDにより形成した $\text{SiO}_2$  膜、プラズマCVD法により形成した $\text{SiON}$  (P- $\text{SiON}$ ) 膜及びプラズマCVD法により形成した $\text{SiN}$  (P- $\text{SiN}$ ) 膜などを使用してもよい。

#### 【0029】

次に、図11に示すように、フォトリソグラフィ法により、再堆積層間絶縁膜34の表面から所定の配線32に到達するコンタクト孔を形成する。その後、グルーレイヤとして全面に厚さが20nmのTi膜及び厚さが50nmのTiN膜を順次形成し、その後、全面にタングステンを堆積してコンタクト孔を埋め込む。その後、再堆積層間絶縁膜34が露出するまでタングステン膜をエッチバック又はCMP研磨して、コンタクト孔内にのみタングステンを残存させる。このとき、再堆積層間絶縁膜34上のTi膜及びTiN膜は除去しても、しなくてもよい。これにより、配線32と後述する上層配線36とを電氣的に接続するためのプラグ35が形成される。

#### 【0030】

次に、図12に示すように、グルーレイヤーもしくは再堆積層間絶縁膜34の上にTiN膜を50nm、Al膜を500nm、TiN膜を50nmの厚さに順次形成し、これらの膜をパターニングすることにより、配線36を形成する。その後、プラズマCVD法により全面にカバーTEOS膜37を200nmの厚さに形成し、その後プラズマCVD法によりカバーSiN膜38を500nmの厚さに形成して、これらのカバーTEOS膜37及びカバーSiN膜38により配線36を被覆する。このようにして、強誘電体(PZT)をキャパシタ誘電体膜24として用いたFeRAMが完成する。

#### 【0031】

本実施の形態においては、層間絶縁膜33をCMP研磨した後、プラズマアニールを施して層間絶縁膜33中の水分を除去するので、その後の工程において加熱されても、強誘電体膜(キャパシタ誘電体膜24)の還元が回避される。これにより、強誘電体膜の特性劣化が防止され、良好な特性のFeRAMを製造できる。

## 【0032】

なお、上記の実施の形態ではキャパシタの誘電体膜24に強誘電体材料を用いたFeRAMの製造方法について説明したが、本発明はキャパシタの誘電体膜に高誘電体材料を用いたDRAMの製造に適用することもできる。その場合は、強誘電体材料に代えて、 $(\text{BaSr})\text{TiO}_3$  などの高誘電体材料を使用すればよい。また、本発明は、強誘電体不揮発性半導体メモリ又は高誘電体半導体メモリとロジックデバイスとを混載したいわゆるシステムLSIの製造に適用することもできる。

## 【0033】

更に、上記の実施の形態では、 $\text{N}_2\text{O}$ を用いたプラズマアニールにより層間絶縁膜33を脱水処理する場合について説明したが、これにより脱水処理に用いるガスが $\text{N}_2\text{O}$ ガスに限定されるものではなく、例えば $\text{O}_2$ 又は $\text{NO}$ ガスを用いたプラズマアニールでも同様の効果が得られる。

更にまた、上記の実施の形態では層間絶縁膜33に対し脱水処理を施した後、再堆積層間絶縁膜34を形成したが、CMP研磨後の層間絶縁膜33の上に再堆積層間絶縁膜34を形成し、その後脱水処理を施してもよい。上記の実施の形態のように再堆積層間絶縁膜34を薄く形成する場合は再堆積層間絶縁膜34中に含まれる水分量が極めて少ないが、再堆積層間絶縁膜34を厚く形成する場合は再堆積層間絶縁膜34中に含まれる水分によりキャパシタ誘電体膜が還元されてしまうおそれがある。これを防止するために、再堆積層間絶縁膜34を形成した後、プラズマアニールによる脱水処理を実施してもよい。但し、この場合、再堆積層間絶縁膜34をプラズマ $\text{SiON}$ 膜又はプラズマ $\text{SiN}$ 膜で形成すると、これらの膜は水分を通しにくいので、層間絶縁膜33中の水分を十分に除去することができなくなる。このため、再堆積層間絶縁膜34を形成した後にプラズマアニールを施す場合は、再堆積層間絶縁膜34をプラズマ $\text{TEOS}$ 膜、 $\text{O}_3\text{-TEOS}$ 膜、又はプラズマ $\text{SiO}_2$ 膜により形成することが好ましい。

## 【0034】

図13は横軸にプラズマアニールの処理時間を取り、縦軸に分極電荷量( $Q_{sw}$ )をとって、分極電荷量の脱水処理時間依存性を示す図である。但し、プラズマ

アニールの条件は、温度が 3 5 0 ℃、プラズマに印加するパワーが 3 0 0 W、N<sub>2</sub> O の流量が 7 0 0 sccm、N<sub>2</sub> ガスの流量が 2 0 0 sccm である。分極電荷量  $Q_{sw}$  の値が大きいほど、分極特性が良好であるといえる。

#### 【0 0 3 5】

この図 1 3 からわかるように、プラズマアニールの処理時間を 3 分以上とすることにより、十分な特性を得ることができる。強誘電体膜の初期状態における分極電荷量は約  $28 \mu C / c m^2$  であり、約 4 分間のプラズマアニールにより初期状態の分極電荷量まで回復させることができる。

#### 【0 0 3 6】

##### 【発明の効果】

以上説明したように、本発明によれば、第 1 の絶縁膜を CMP 研磨して平坦化した後、該第 1 の絶縁膜に対しプラズマアニールによる脱水処理を施す。これにより、第 1 の絶縁膜の表面に付着している水分、及び第 1 の絶縁膜中に侵入している水分をより確実に除去することができて、キャパシタ誘電体膜を構成する強誘電体材料又は高誘電体材料の還元が防止される。従って、強誘電体材料又は高誘電体材料の誘電特性の劣化を回避でき、良好な特性の F e R A M 又は D R A M を製造することができる。

##### 【図面の簡単な説明】

#### 【図 1】

図 1 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 1）である。

#### 【図 2】

図 2 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 2）である。

#### 【図 3】

図 3 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 3）である。

#### 【図 4】

図 4 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 4）で



ある。

【図 5】

図 5 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 5）である。

【図 6】

図 6 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 6）である。

【図 7】

図 7 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 7）である。

【図 8】

図 8 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 8）である。

【図 9】

図 9 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 9）である。

【図 1 0】

図 1 0 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 1 0）である。

【図 1 1】

図 1 1 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 1 1）である。

【図 1 2】

図 1 2 は本発明の実施の形態の半導体装置の製造方法を示す断面図（その 1 2）である。

【図 1 3】

図 1 3 は分極電荷量の脱水処理時間依存性を示す図である。

【符号の説明】

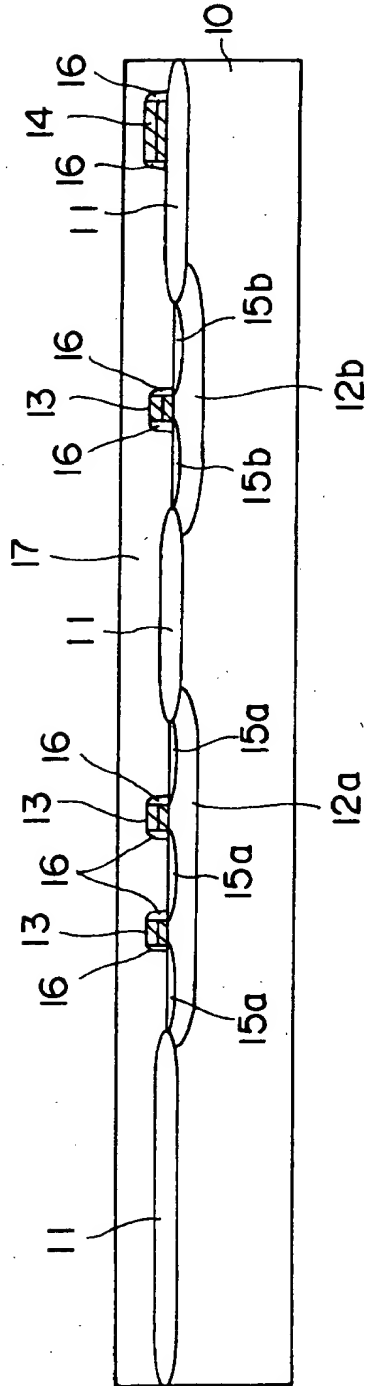
1 0 半導体基板、

- 1 1 素子分離膜、
- 1 2 a, 1 2 b ウェル領域、
- 1 3 ゲート電極、
- 1 5 a, 1 5 b 不純物領域、
- 1 7, 2 6, 3 1, 3 3 層間絶縁膜、
- 1 8, 3 5 プラグ、
- 2 1 SiON膜、
- 2 2 TEOS膜、
- 2 3 下部電極、
- 2 4 誘電体膜、
- 2 5 上部電極、
- 2 7 局所配線、
- 3 2, 3 6 配線、
- 3 4 再堆積層間絶縁膜、
- 3 7 カバーTEOS膜、
- 3 8 カバーSiN膜。

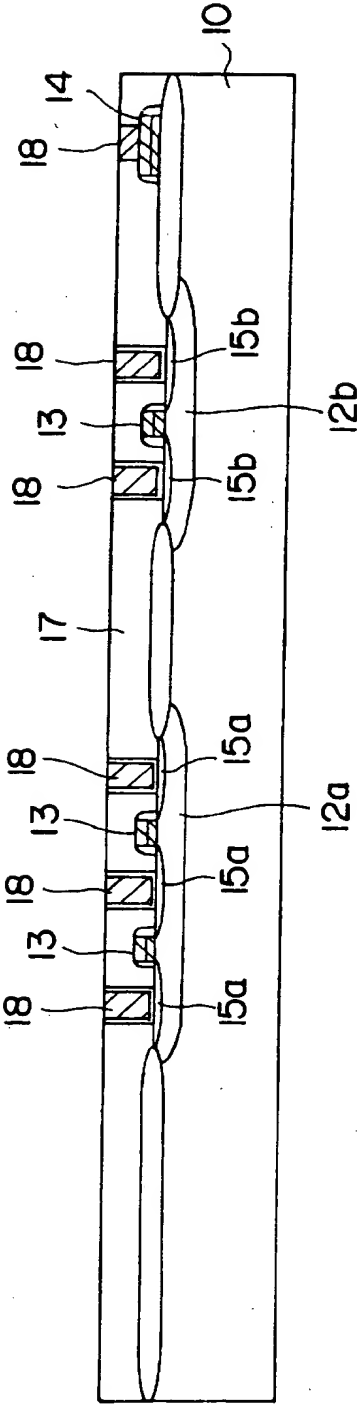
【書類名】

図面

【図 1】

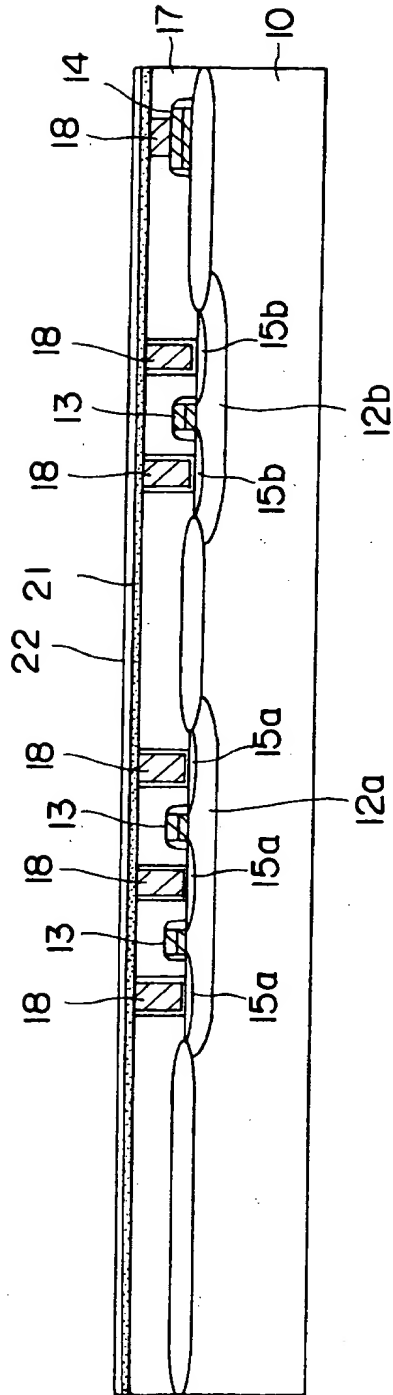


【図 2】



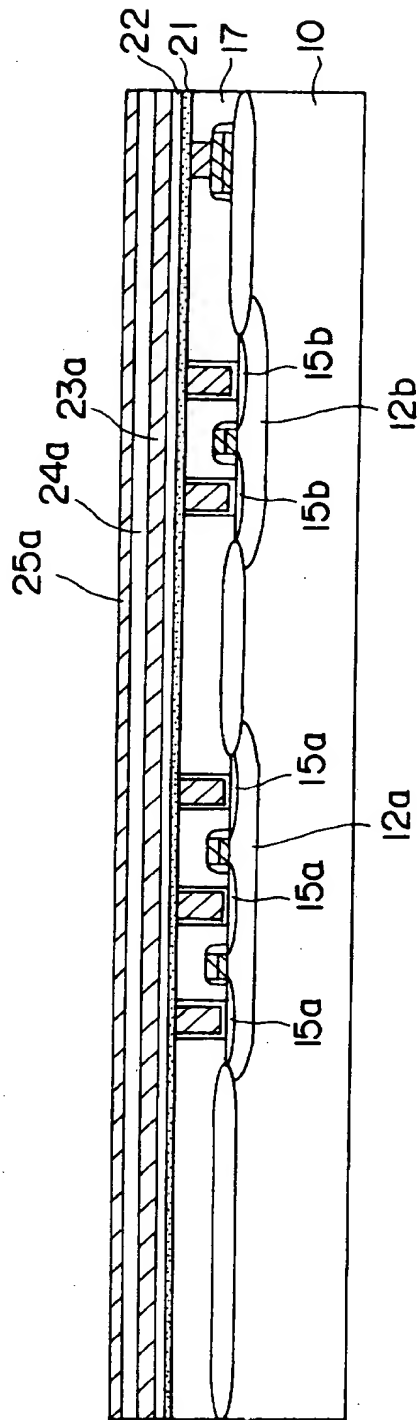
18: プラグ

【图 3】



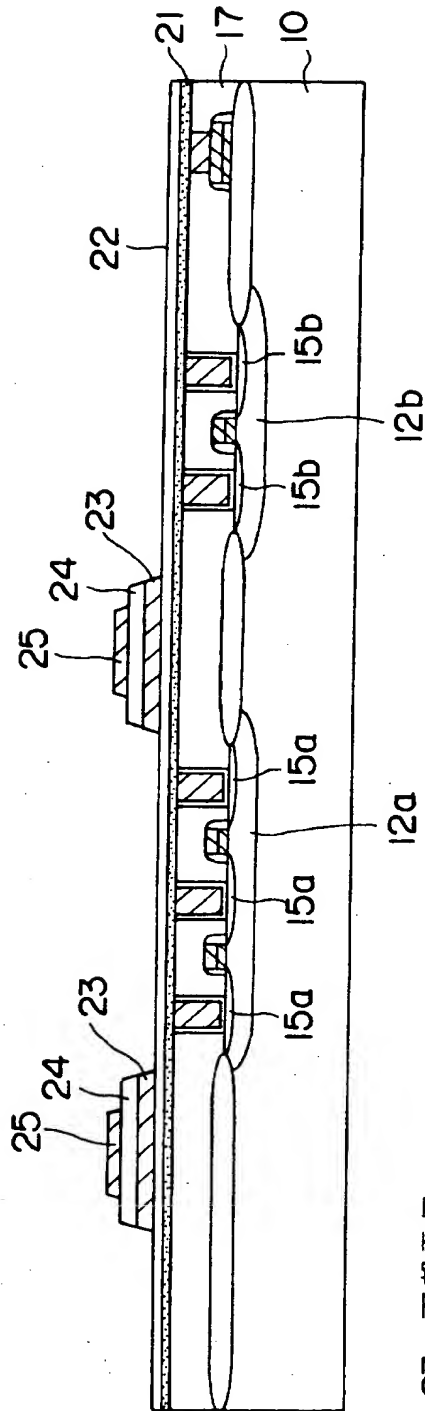
21 : SiON 膜  
22 : TEOS 膜

【図 4】



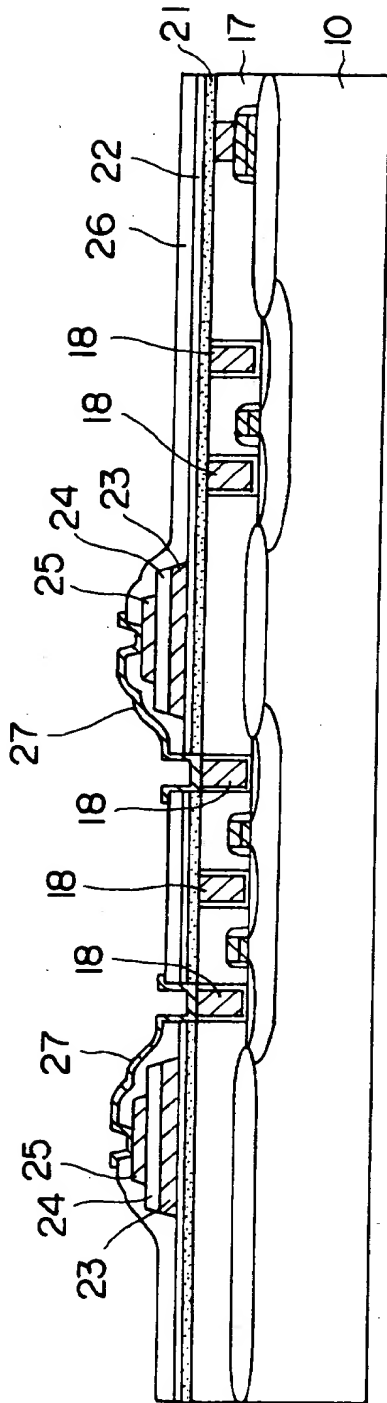
23a, 25a : 導電膜  
24a : PZT膜

【図 5】



23 : 下部電極  
24 : 誘電体膜  
25 : 上部電極

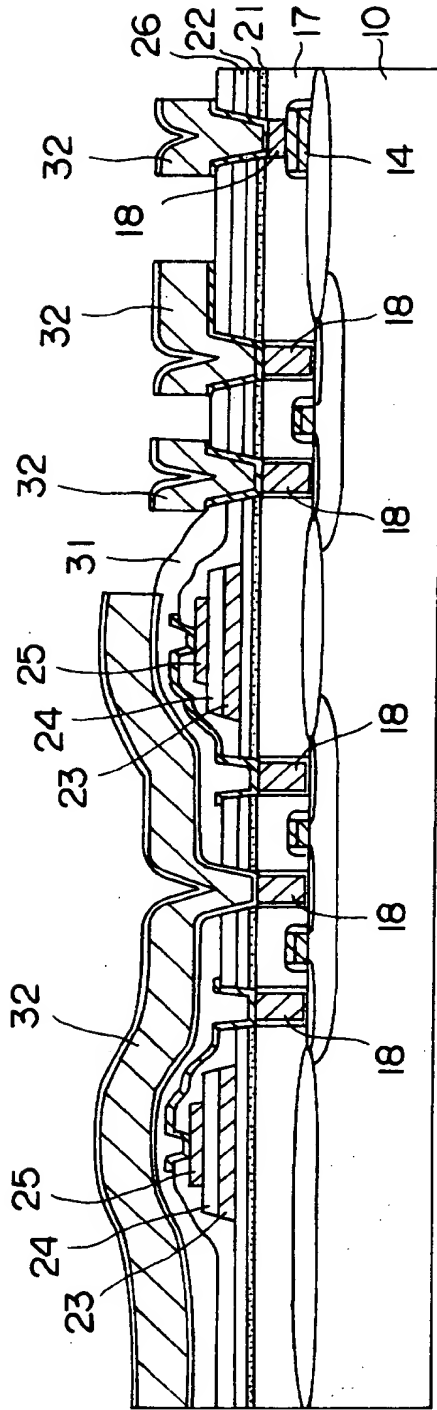
【図 6】



26: 層間絶縁膜  
27: 局所配線

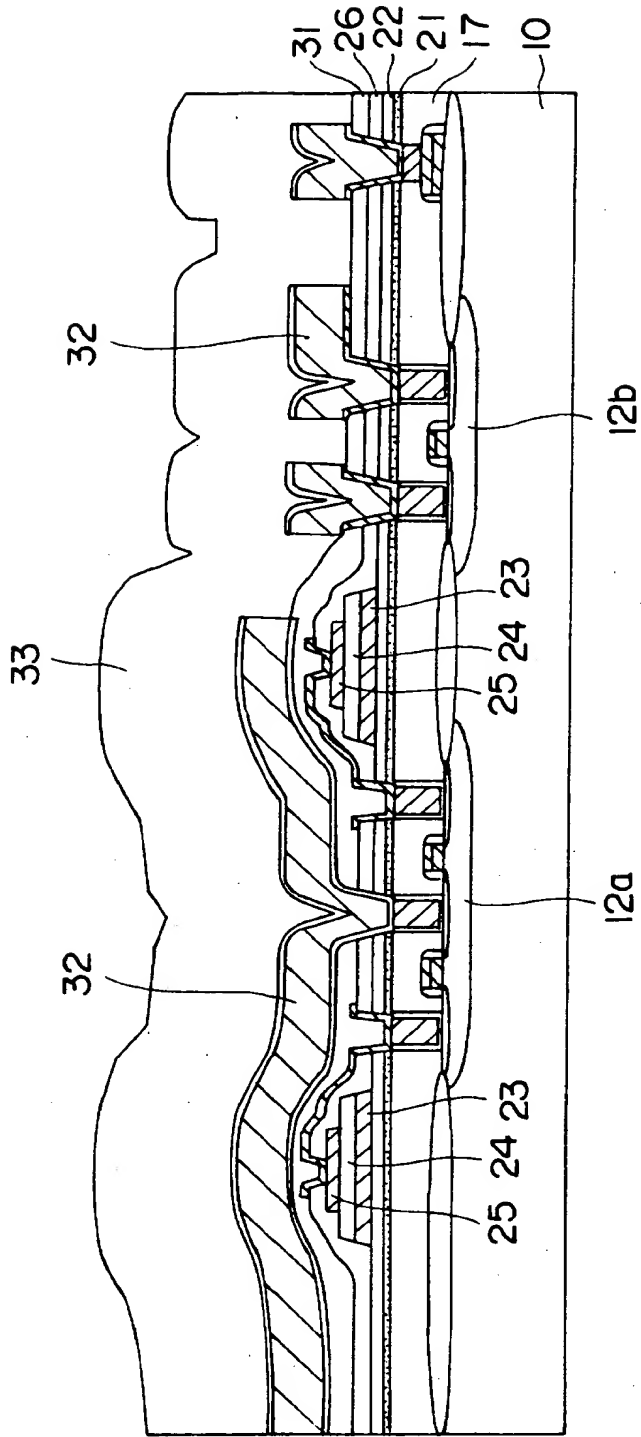


【図 7】



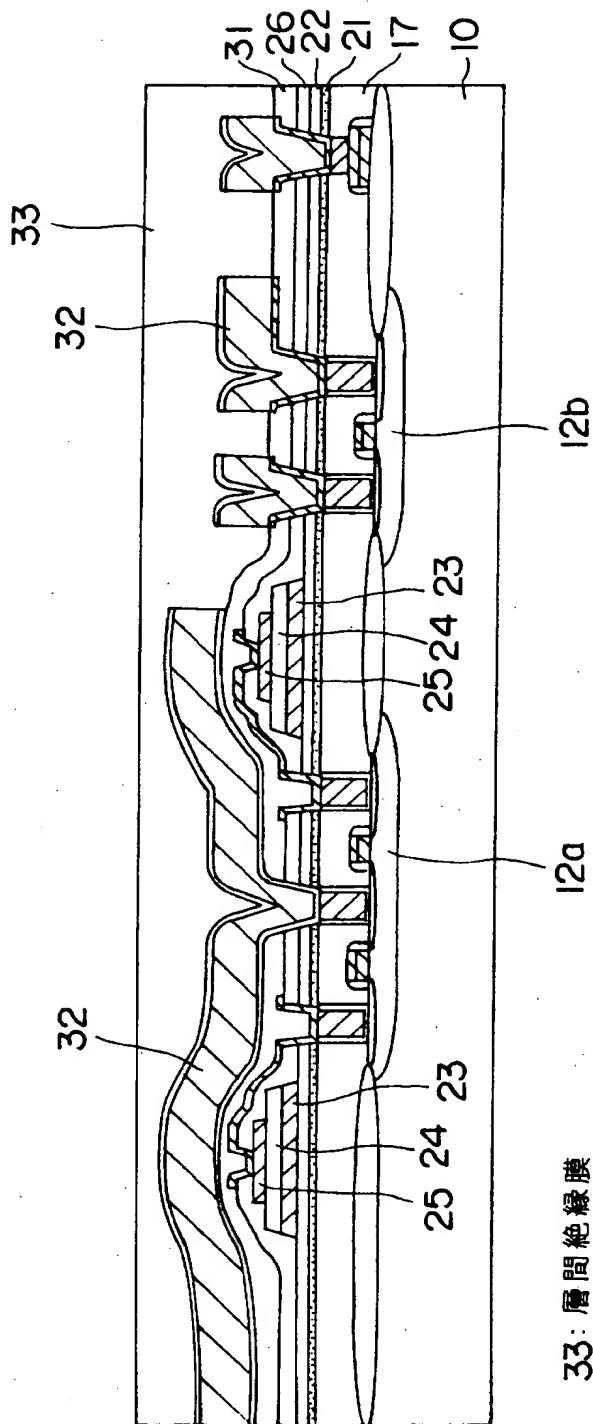
31 : 層間絶縁膜  
32 : 配線

【図 8】

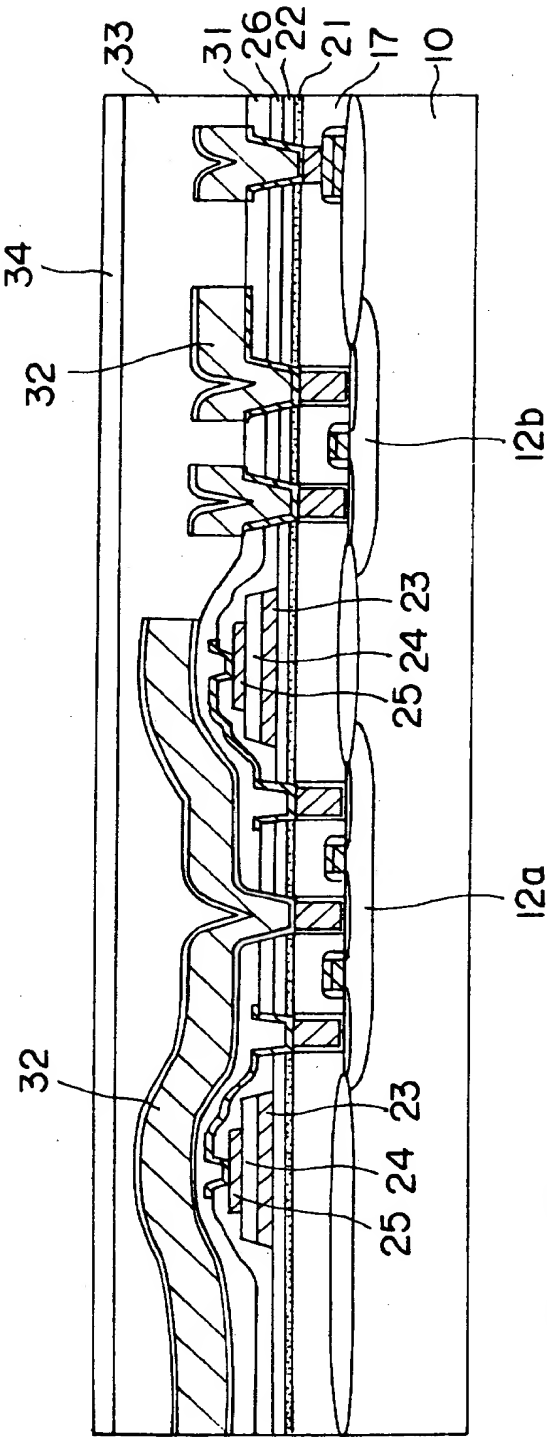


33: 層間絶縁膜

【図 9】

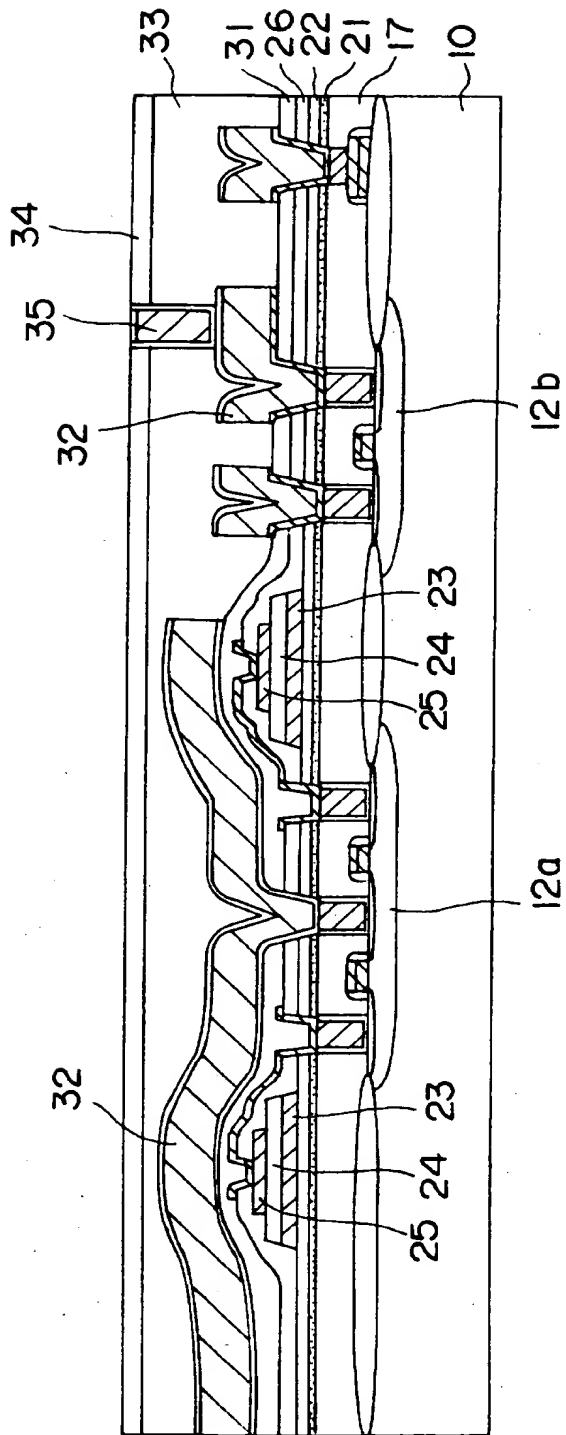


【図10】



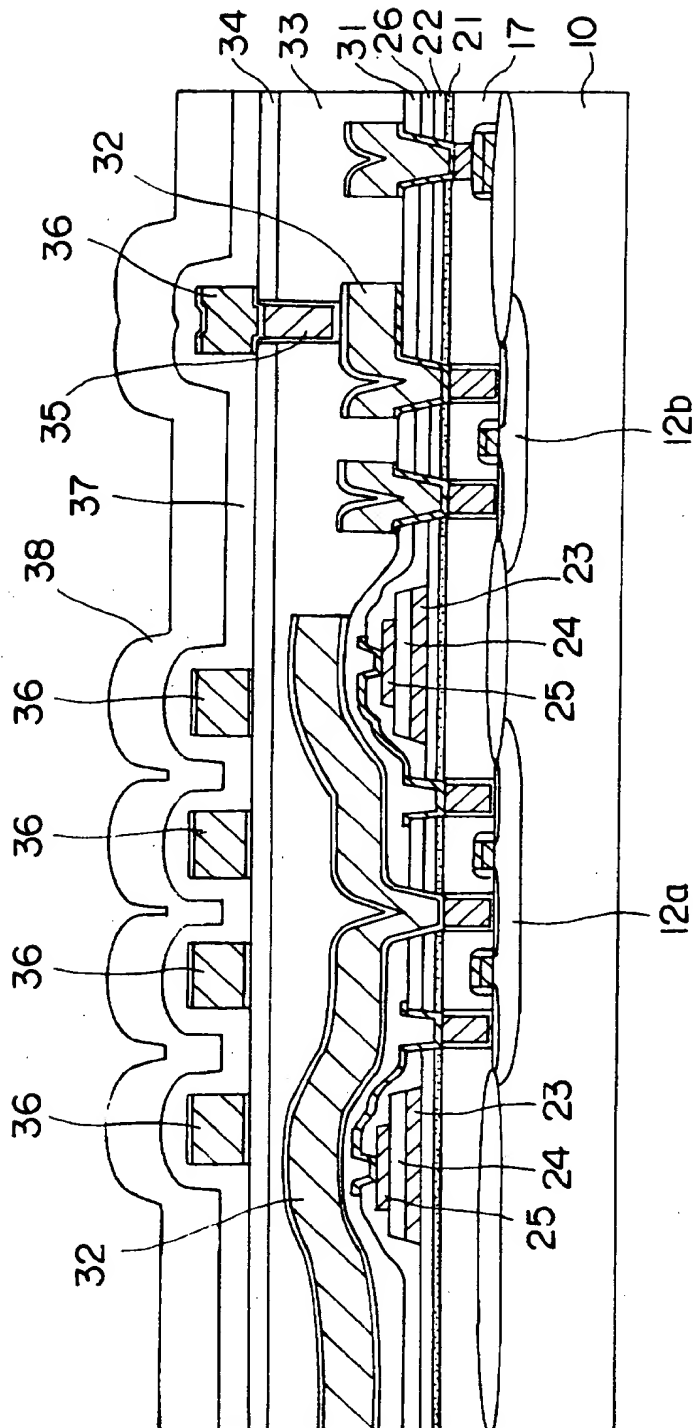
33: 層間絶縁膜  
34: 再堆積層間絶縁膜

【図 1 1】



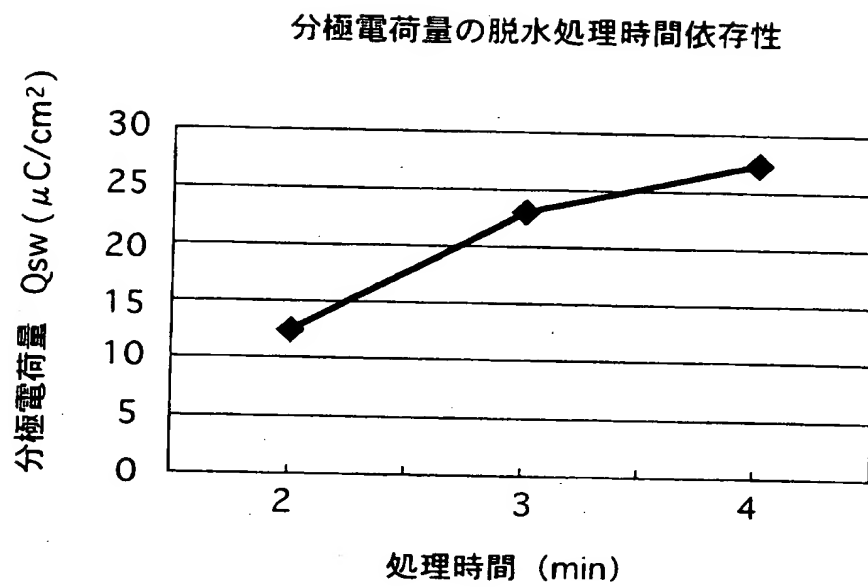
35:プラグ

【図 12】



- 36: 配線
- 37: カバ-TEOS膜
- 38: カバ-SiN膜

【図 13】



【書類名】 要約書

【要約】

【課題】 強誘電体材料又は高誘電体材料を用いた半導体装置の製造にCMP研磨工程を使用しても強誘電体材料又は高誘電体材料の還元を回避でき、FeRAM及びDRAM又はこれらのメモリ素子とロジック素子とを混載したシステムLSIの製造に適用できる半導体装置の製造方法を提供する。

【解決手段】 上部電極25、強誘電体材料又は高誘電体材料からなる誘電体膜24及び下部電極23からなるキャパシタを形成する。その後、キャパシタの上方に層間絶縁膜33を形成し、その層間絶縁膜33をCMP研磨して表面を平坦化する。次いで、N<sub>2</sub>Oガスを用いたプラズマアニールを施し、層間絶縁膜33の表面に付着した水分、及び層間絶縁膜33中の水分を除去する。その後、層間絶縁膜33の上に、再堆積層間絶縁膜34を形成する。

【選択図】 図10



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社